

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144597  
 (43)Date of publication of application : 25.05.2001

(51)Int.Cl. H03K 17/78  
 G05F 3/26

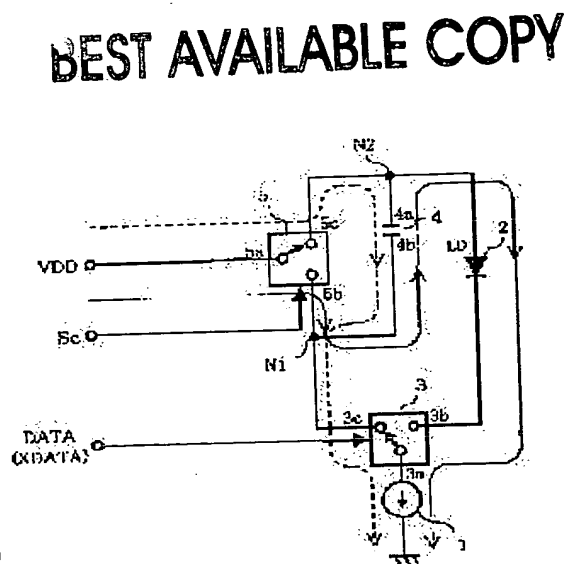
(21)Application number : 11-323617 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 15.11.1999 (72)Inventor : INOUE TADAO

## (54) LIGHT EMITTING ELEMENT DRIVE CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a light emitting element drive circuit for optical communication that can cope with a low power supply voltage and realize stable high-speed modulation.

SOLUTION: The light emitting element drive circuit of this invention consists of a current source 1 that generates a constant current to drive a light emitting element 2, a current switch 3 that switches part of a path of the current flowing through the current source 1 to a path including the light emitting element 1 or a path not including the light emitting element 1 according to a data signal DATA, a capacitor 4 that is charged by reception of a power supply voltage VDD to boost the power supply voltage VDD, and a booster switch 5 that switches part of the path for the current flowing through the current source to a path for charging the capacitor 4 or a path through which the power supply voltage boosted by the capacitor 4 is supplied to the light emitting element 4.



## LEGAL STATUS

[Date of request for examination] 21.07.2006  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2001-144597  
(P2001-144597A)

(43)公開日 平成13年5月25日(2001.5.25)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
H 0 3 K 17/78		H 0 3 K 17/78	E 5 H 4 2 0
G 0 5 F 3/26		G 0 5 F 3/26	5 J 0 5 0

審査請求 未請求 請求項の数 8 O L (全 19 頁)

(21)出願番号 特願平11-323617

(22)出願日 平成11年11月15日(1999.11.15)

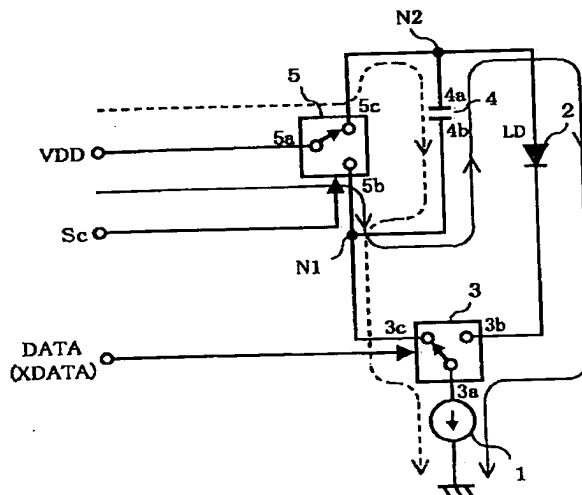
(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(72)発明者 井上 忠夫  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(74)代理人 100078330  
弁理士 笹島 富二雄  
Fターム(参考) 5H420 NA17 NB03 NB25 NB36 NE28  
5J050 AA02 AA03 BB02 CC12 DD08  
EE22 EE28 EE32 EE36

(54)【発明の名称】 発光素子駆動回路

(57)【要約】

【課題】低電源電圧化に対応可能で、かつ、安定した高速変調を実現できる光通信用の発光素子駆動回路を提供する。

【解決手段】本発明による発光素子駆動回路は、発光素子2を駆動する一定電流を発生する電流源1と、データ信号DATAに従って、電流源1に流れる電流の経路の一部を、発光素子1を含んだ経路および含まない経路のいずれかに切り替える電流スイッチ3と、電源電圧VDDの印加により充電されて電源電圧VDDの昇圧を行うコンデンサ4と、データ信号に対応した制御信号Scに従って、電流源1に流れる電流の経路の一部を、コンデンサ4の充電を行う経路およびコンデンサ4で昇圧された電源電圧を発光素子4に印加する経路のいずれかに切り替える昇圧スイッチ5と、を備えて構成される。



## 【特許請求の範囲】

【請求項1】電流源で発生する一定の電流により発光素子を駆動する発光素子駆動回路において、前記発光素子を発光させるか否かを定めるデータ信号に従って、前記電流源に流れる電流の経路の一部を、前記発光素子を含んだ発光経路、および、前記発光素子を除いた消光経路のいずれかに切り替える第1スイッチ部と、電源電圧の供給により充電された電荷を基に電源電圧の昇圧を行う電源電圧昇圧部と、前記データ信号に対応した制御信号に従って、前記電流源に流れる電流の経路の一部を、前記電源電圧昇圧部の充電を行う充電経路、および、前記電源電圧昇圧部で昇圧された電源電圧を前記発光素子に印加する昇圧経路のいずれかに切り替える第2スイッチ部と、を備えて構成されたことを特徴とする発光素子駆動回路。

【請求項2】請求項1記載の発光素子駆動回路であって、

前記電源電圧昇圧部は、第1端子および第2端子を有するコンデンサを含み、前記第2スイッチ部は、前記充電経路のとき、前記コンデンサの第1端子に前記電源電圧を印加すると共に、前記コンデンサの第2端子を前記電流源に繋がる経路に接続し、前記昇圧経路のとき、前記コンデンサの第2端子に前記電源電圧を印加すると共に、前記コンデンサの第1端子を前記発光素子に接続することを特徴とする発光素子駆動回路。

【請求項3】請求項2記載の発光素子駆動回路であって、

前記制御信号は、前記データ信号と共通であり、前記データ信号が前記発光素子を消光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第1端子、前記コンデンサの第2端子および前記電流源を順に流れる電流経路が形成されて、前記コンデンサの充電が行われ、前記データ信号が前記発光素子を発光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第2端子、前記コンデンサの第1端子、前記発光素子および前記電流源を順に流れる電流経路が形成されて、前記発光素子が昇圧された電源電圧により駆動されることを特徴とする発光素子駆動回路。

【請求項4】請求項2記載の発光素子駆動回路であって、

前記制御信号は、前記データ信号が、前記発光素子を発光状態にする論理を含んだセル内のタイミングにあるか、前記セル外のタイミングにあるかを示すセル信号であり、

前記セル信号がセル外のタイミングを示す論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第1端子、前記コンデンサの第2端子および前記電流源を順に流れる電流経路が形成されて、前記コンデンサの充電が行われ、

前記セル信号がセル内のタイミングを示す論理であり、かつ、前記データ信号が前記発光素子を発光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第2端子、前記コンデンサの第1端子、前記発光素子および前記電流源を順に流れる電流経路が形成されて、前記発光素子が昇圧された電源電圧により駆動されることを特徴とする発光素子駆動回路。

【請求項5】請求項4記載の発光素子駆動回路であって、

前記セル信号がセル内のタイミングを示す論理であり、かつ、前記データ信号が前記発光素子を消光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記コンデンサおよび前記発光素子を除いた電流経路が形成されることを特徴とする発光素子駆動回路。

【請求項6】請求項4または5記載の発光素子駆動回路であって、

前記データ信号の有限の長さの範囲内に、前記発光素子を発光状態にする論理があるか否かを検出するデータ検出部を備え、該データ検出部の検出結果が前記セル信号として用いられる構成としたことを特徴とする発光素子駆動回路。

【請求項7】請求項4～6のいずれか1つに記載の発光素子駆動回路であって、

前記制御信号が、前記データ信号に同期したクロック信号に基づく信号および前記セル信号であり、

前記コンデンサによって昇圧された電源電圧を整流して前記発光素子に印加する整流部を備え、

前記セル信号がセル外のタイミングを示す論理であり、かつ、前記クロック信号に基づく信号が示す2つの論理のうちの一方のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第1端子、前記コンデンサの第2端子および前記電流源を順に流れる電流経路が形成されて、前記コンデンサの充電が行われ、

前記セル信号がセル外のタイミングを示す論理であり、かつ、前記クロック信号に基づく信号が示す2つの論理のうちの他方のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第2端子、前記コンデンサの第1端子および前記整流部を順に流れる電流経路が形成され、前記セル信号がセル内のタイミングを示す論理であり、

かつ、前記データ信号が前記発光素子を発光状態にする

論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記整流部、前記発光素子および前記電流源を順に流れる電流経路が形成されて、前記発光素子が前記整流部で整流された電圧により駆動されることを特徴とする発光素子駆動回路。

【請求項8】請求項1～7のいずれか1つに記載の発光素子駆動回路であって、

前記第2スイッチ部における充電経路および昇圧経路の切り替えの際に、前記電源電圧昇圧部に対する電源電圧の供給が一時的に中断されるように前記第2スイッチ部の動作を制御するシーケンス制御部を備えて構成されたことを特徴とする発光素子駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば光通信などの分野において、半導体レーザや発光ダイオード等の発光素子を駆動する回路に関し、特に、低電圧かつ高速駆動が可能な発光素子駆動回路に関する。

【0002】

【従来の技術】例えば、光伝送装置などの発光素子を用いる装置における光送信部では、送信する電気信号のデータを光信号に変換するために、発光素子駆動回路が備えられる。また、光ディスク装置、レーザプリンタなどの発光素子を有する情報機器でも、光伝送装置の場合と同様に、発光素子駆動回路が備えられる。

【0003】図22は、例えば、高速光通信用の発光素子駆動回路の一般的な構成例を示す図である。図22の回路構成では、電流源1、発光素子2および差動型の電流スイッチ3が、電源電圧VDDの印加される端子と接地端子との間に配置され、電流源1で発生する一定の電流の経路が、電流スイッチ3により送信データ信号DATAおよび反転送信データ信号XDATAに従って切り替え制御されて、発光素子2が駆動される。また、ここで用いる電流源1としては、複数のトランジスタを用いたカレントミラー回路等を使用することが一般的である。

【0004】ところで、近年、各種の情報・通信関連機器で使用されるデジタル用のCMOS-LSIは、低消費電力化の要求およびプロセスの微細化に伴って低電源電圧化が進んでいる。現状では、電源電圧が2.5Vから1V台にまで下がってきている。このように各種機器の低電源電圧化が進むと、供給される電源電圧が発光素子を駆動するために必要な電圧よりも低くなり、電源電圧を昇圧するなど措置が必要になってくる。

【0005】電源電圧の昇圧が行われる従来の発光素子駆動回路としては、例えば、実開平6-73713号公報等に記載されたものがある。この従来の駆動回路は、カメラなどに使用される発光素子について、コンデンサの充放電により発光素子を電源電圧よりも高い電圧で駆動する構成である。また、発光素子を駆動するスイッチ

ング素子が、モータを駆動する公知のブリッジ回路のそれと共有化され、発光素子の駆動回路とカメラのシステムを構成する他の回路とが電氣的に分離されることで、システム全体の小型化と信頼性の向上を図っている。

【0006】

【発明が解決しようとする課題】しかしながら、上記のような従来の発光素子駆動回路は、高速変調が要求される光通信用の発光素子駆動回路として考えると、低電源電圧化への対応は可能であるが、高速変調を安定に行うという点では問題があった。

【0007】すなわち、高速光通信用の発光素子駆動回路では、前述したように、安定した一定の駆動電流を発光素子2に供給するために電流源1が設けられ、該電流源1としては、複数のトランジスタを用いたカレントミラー回路が使用されることが多い。このようなカレントミラー回路はトランジスタに寄生容量があるため、これを電流源1に用いて発光素子2を直接変調すると、充放電電流が上記の寄生容量に流れる間、発光素子2に供給される駆動電流の値が過渡的に不安定となり、高速変調を行うことが困難になってしまう。高速変調を安定に行うためには、コンデンサの充放電の制御と同時に、電流源1の動作制御が発光素子2の駆動状態に応じて必要になる。

【0008】本発明は上記の点に着目してなされたもので、低電源電圧化に対応可能で、かつ、安定した高速変調が実現される光通信用の発光素子駆動回路を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の目的を達成するため、本発明の発光素子駆動回路は、電流源で発生する一定の電流により発光素子を駆動する発光素子駆動回路において、前記発光素子を発光させるか否かを定めるデータ信号に従って、前記電流源に流れる電流の経路の一部を、前記発光素子を含んだ発光経路、および、前記発光素子を除いた消光経路のいずれかに切り替える第1スイッチ部と、電源電圧の供給により充電された電荷を基に電源電圧の昇圧を行う電源電圧昇圧部と、前記データ信号に対応した制御信号に従って、前記電流源に流れる電流の経路の一部を、前記電源電圧昇圧部の充電を行う充電経路、および、前記電源電圧昇圧部で昇圧された電源電圧を前記発光素子に印加する昇圧経路のいずれかに切り替える第2スイッチ部と、を備えて構成されるものである。

【0010】かかる構成では、データ信号および制御信号に従って第1スイッチ部および第2スイッチ部がそれぞれ動作することにより、発光素子の駆動状態（発光または消光）に応じて、電流源に流れる電流の経路が切り替えられ、電源電圧昇圧部で昇圧された電源電圧が発光素子に印加されて駆動される。このとき、切り替えられる電流経路は、発光素子の駆動状態に関係なく電流源を

通るため、電流源が継続的に作動した状態となる。これにより、発光素子の安定した高速変調が可能になる。

【0011】また、上記の発光素子駆動回路について、前記電源電圧昇圧部は、第1端子および第2端子を有するコンデンサを含み、前記第2スイッチ部は、前記充電経路のとき、前記コンデンサの第1端子に前記電源電圧を印加すると共に、前記コンデンサの第2端子を前記電流源に繋がる経路に接続し、前記昇圧経路のとき、前記コンデンサの第2端子に前記電源電圧を印加すると共に、前記コンデンサの第1端子を前記発光素子に接続する 10 ようにしてもよい。

【0012】かかる構成では、コンデンサの充電および放電（昇圧）の切り替えが、第2スイッチ部により制御信号に従って行われ、コンデンサに蓄えられた電荷により電源電圧が昇圧されて発光素子に供給されるようになる。

【0013】上記の発光素子駆動回路の具体的な構成としては、前記制御信号が、前記データ信号と共通であり、前記データ信号が前記発光素子を消光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第1端子、前記コンデンサの第2端子および前記電流源を順に流れる電流経路が形成されて、前記コンデンサの充電が行われ、前記データ信号が前記発光素子を 20 発光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第2端子、前記コンデンサの第1端子、前記発光素子および前記電流源を順に流れる電流経路が形成されて、前記発光素子が昇圧された電源電圧により駆動されるようにしてもよい。

【0014】かかる構成では、データ信号に従って第1、2スイッチ部がそれぞれ切り替わり、発光素子を消光状態にするときに、コンデンサの充電が行われ、発光素子を発光状態にするときに、コンデンサにより昇圧された電圧が発光素子に印加されるようになる。

【0015】前述の発光素子駆動回路の他の具体的な構成としては、前記制御信号が、前記データ信号が、前記発光素子を発光状態にする論理を含んだセル内のタイミングにあるか、前記セル外のタイミングにあるかを示すセル信号であり、前記セル信号がセル外のタイミングを示す論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第1端子、前記コンデンサの第2端子および前記電流源を順に流れる電流経路が形成されて、前記コンデンサの充電が行われ、前記セル信号がセル内のタイ 40 ミングを示す論理であり、かつ、前記データ信号が前記発光素子を発光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第2端子、前記コンデンサの第1端子、前記発光素子および前記電流源を

順に流れる電流経路が形成されて、前記発光素子が昇圧された電源電圧により駆動されるようにしてもよい。

【0016】かかる構成では、データ信号に従って第1スイッチ部が切り替わり、セル信号に従って第2スイッチ部が切り替わるようになり、発光素子が発光状態にされることのないセル外のタイミングにおいてコンデンサの充電が行われるようになる。また、セル内のタイミングで発光素子を発光させるときには、コンデンサにより昇圧された電圧が発光素子に印加されるようになる。

【0017】また、上記の発光素子駆動回路については、前記セル信号がセル内のタイミングを示す論理であり、かつ、前記データ信号が前記発光素子を消光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記コンデンサおよび前記発光素子を除いた電流経路が形成されるようにするのが好ましい。

【0018】かかる構成では、セル内のタイミングで発光素子を消光させるときに、コンデンサに蓄えられた電荷が無駄に消費されないような電流経路が形成されるようになる。

【0019】さらに、上記の発光素子駆動回路については、前記データ信号の有限の長さの範囲内に、前記発光素子を発光状態にする論理があるか否かを検出するデータ検出部を備え、該データ検出部の検出結果が前記セル信号として用いられる構成としてもよい。

【0020】かかる構成では、データ検出部において、データ信号の有限の長さの範囲内に、発光素子を発光状態にする論理があるか否かが検出され、セル信号に相当する信号が本回路内で生成されるようになる。

【0021】加えて、前述の発光素子駆動回路について、前記制御信号が、前記データ信号に同期したクロック信号に基づく信号および前記セル信号であり、前記コンデンサによって昇圧された電源電圧を整流して前記発光素子に印加する整流部を備え、前記セル信号がセル外のタイミングを示す論理であり、かつ、前記クロック信号に基づく信号が示す2つの論理のうちの一つのときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第1端子、前記コンデンサの第2端子および前記電流源を順に流れる電流経路が形成されて、前記コンデンサの充電が行われ、前記セル信号がセル外のタイミングを示す論理であり、かつ、前記クロック信号に基づく信号が示す2つの論理のうち他方のときには、前記第1および第2スイッチ部の切り替え動作によって、前記電源電圧の印加された前記コンデンサの第2端子、前記コンデンサの第1端子および前記整流部を順に流れる電流経路が形成され、前記セル信号がセル内のタイミングを示す論理であり、かつ、前記データ信号が前記発光素子を発光状態にする論理のときには、前記第1および第2スイッチ部の切り替え動作によって、前記整流部、前記発光素子 50

および前記電流源を順に流れる電流経路が形成されて、前記発光素子が前記整流部で整流された電圧により駆動されるようにしてもよい。

【0022】かかる構成では、セル外のタイミングにおいて、クロック信号に基づく信号（クロック信号またはクロック信号を分周した信号）に従いコンデンサの充放電が行われ、セル内のタイミングにおいては、発光素子を発光状態にするときに、コンデンサで昇圧され整流部で整流された電圧が発光素子に印加されるようになる。

【0023】また、上述した発光素子駆動回路について10 は、前記第2スイッチ部における充電経路および昇圧経路の切り替えの際に、前記電源電圧昇圧部に対する電源電圧の供給が一時的に中断されるように前記第2スイッチ部の動作を制御するシーケンス制御部を備えて構成されるようにしてもよい。

【0024】かかる構成では、充電経路および昇圧経路の切り替えの際に、電源電圧昇圧部がショートした状態になるのを回避すべく、シーケンス制御部によって第215 スwitch部の動作がシーケンス制御されるようになる。これにより、電源電圧昇圧部における不要な放電をなくして、電圧変換効率の低下を防ぐことが可能になる。

【0025】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。ここでは、最初に、本発明による発光素子駆動回路の基本的な構成および動作の概略を説明し、次に、具体的な実施形態について詳しく説明することにする。

【0026】図1は、本発明による発光素子駆動回路の基本構成を示す図である。図1において、本発光素子駆動回路の基本構成は、電流源1、発光素子2、第1ス15 witch部としての電流スイッチ3、電源電圧昇圧部としてのコンデンサ4および第2スイッチ部としての昇圧スイッチ5を有する。

【0027】電流源1は、発光素子2の駆動電流を発生する公知の電流源であって、例えば図2に示すようなカレントミラー回路等により構成される。図2の回路構成は、2つのnチャンネル型MOSFETを用いた1段構成の一般的なカレントミラー回路である。本駆動回路では、カレントミラー回路の出力端子1oが電流スイッチ3の端子3aに接続される。なお、電流源1の具体的な40 回路構成はこれに限られるものではない。このようなカレントミラー回路では、図に示したようにMOSFETの端子間に寄生容量Cgd、Cdsが発生するため、従来の駆動回路では、これらの寄生容量Cgd、Cdsが高速動作を妨げる要因となっていた。

【0028】発光素子2は、例えば半導体レーザ（レーザダイオード、以下LDとする）等が用いられ、LDのカソード端子が電流スイッチ3の端子3bに接続される。なお、ここでは発光素子2としてLDを使用する場合を示したが、本発明の駆動回路は、例えば発光ダイオ

ード(LED)等を発光素子2として用いてもよい。

【0029】電流スイッチ3は、電流源1に接続する端子3aと、発光素子2に接続する発光側の端子3bおよびコンデンサ4に接続する消光側の端子3cとの間の接続状態を、データ信号DATAまたは反転データ信号XDATAに従って切り替えるものである。

【0030】コンデンサ4は、一方の端子4a（第1端子）が発光素子2のアノード端子および昇圧スイッチ5の端子5cに接続され、他方の端子4b（第2端子）が電流スイッチ3の端子3cおよび昇圧スイッチ5の端子5bに接続される。このコンデンサ4には、電源電圧VDDを昇圧するための電荷が蓄えられる。

【0031】昇圧スイッチ5は、電源電圧VDDが印加される端子5aと、コンデンサ4の端子4bに接続する放電側の端子5bおよびコンデンサ4の端子4aに接続する充電側の端子5cとの間の接続状態を、制御信号Scに従って切り替えるものである。電源電圧VDDは、外部の電源等から与えられる所定の値の直流電圧であって、低電源電圧化によりこの電圧値が例えば1V台などのように低く設定される。また、制御信号Scは、データ信号DATAに対応したレベルが変化する信号であって、具体的な信号波形については後述の各実施形態で詳しく説明する。ここでは、データ信号DATAと同様の信号が制御信号Scとして用いられるものとして、以下の動作説明を行うことにする。

【0032】上記のような基本構成を有する発光素子駆動回路では、外部からの電源電圧VDDが昇圧スイッチ5の端子5aに与えられた状態において、発光素子2の駆動状態（発光または消光）に応じて回路の電流経路が切り替えられることにより、電源電圧VDDの昇圧が行われる。

【0033】具体的には、図3のタイムチャートに示すように、まず、発光素子2を消光状態(LD\_OFF)とするときには、データ信号DATA（上段）がローレベルとなって、電流スイッチ3に送られる。また、制御信号Scもデータ信号DATAと同様にローレベルとなって、昇圧スイッチ5に送られる。

【0034】電流スイッチ3では、ローレベルのデータ信号DATAを受けて、電流源1に接続する端子3aが消光側の端子3cに接続される。また、これと同時に、昇圧スイッチ5では、ローレベルの制御信号Scを受けて、電源電圧VDDの印加された端子5aが充電側の端子5cに接続される。これにより、図1の破線矢印で示すように、昇圧スイッチ5、ノードN2、コンデンサ4、ノードN1、電流スイッチ3、電流源1の順に一定の電流が流れ、コンデンサ4の充電が行われる。このとき、図3の中段に示すように、ノードN1（コンデンサ4の端子4b）の電位V(N1)は略0V（接地レベル）となり、ノードN2（コンデンサ4の端子4a）の電位V(N2)は、電源電圧VDDとなる。また、図3の下段に示

すように、発光素子2への駆動電流 $I_{LD}$ の供給は生じないため、発光素子2は消光状態となる。なお、上記のようなコンデンサ4の充電時においても、電流源1に対して電流が流れ込むため、電流源1は高速変調にも応答可能な安定した動作状態を維持している。

【0035】そして、発光素子2を発光状態(LD\_ON)にするときには、データ信号DATAおよび制御信号Scがそれぞれハイレベルとなり、電流スイッチ3では、端子3aが発光側の端子3bに接続され、昇圧スイッチ5では、端子5aが放電側の端子5bに接続される。これにより、図1の実線矢印で示すように、昇圧スイッチ5、ノードN1、コンデンサ4、ノードN2、発光素子2、電流スイッチ3、電流源1の順に一定の電流が流れるようになる。このとき、ノードN1の電位V(N1)は電源電圧VDDとなり、ノードN2の電位V(N2)は、電源電圧VDDの上にコンデンサ4の端子間電圧を足した、電源電圧VDDの約2倍の高い電圧レベルとなる。従って、昇圧された高い電圧が発光素子2に印加されて、発光素子2が発光するようになる。なお、発光時のノードN2の電位V(N2)は、発光素子2の発光によりコンデンサ4に蓄えられた電荷が消費されるため徐々に低下するが、発光素子2に供給される駆動電流 $I_{LD}$ は、図3の下段に示すように電流源1によって一定に制御されているため、発光素子2の安定した発光動作が確保されている。

【0036】さらに、発光素子2を消光状態(LD\_OFF)とするときには、データ信号DATAおよび制御信号Scがそれぞれローレベルとなって、前述した場合と同様に電流経路が切り替わってコンデンサ4の充電が行われる。

【0037】このように本発光素子駆動回路によれば、データ信号DATAおよび制御信号Scに従って電流スイッチ3および昇圧スイッチ5の動作を制御して電流経路を切り替え、発光素子2を消光させるタイミングでは、コンデンサ4に電荷を蓄えて充電を行い、発光素子2を発光させるタイミングでは、昇圧された電源電圧を発光素子2に印加するようにしたことで、低電源電圧化への対応が簡略な構成により実現できる。また、発光素子2の発光/消光状態に拘わらず電流が電流源1に流れ込むようにして、継続的に電流源1を動作させることで、従来のような寄生容量による電流源1の不安定動作が低減されるため、発光素子2の安定した高速変調が可能な駆動回路を実現できる。

【0038】次に、上述したような基本構成が適用された具体的な発光素子駆動回路の実施形態について説明する。図4は、第1実施形態にかかる発光素子駆動回路の構成を示す図である。

【0039】図4に示す発光素子駆動回路は、上述の図1に示した基本構成について、電流スイッチ3が、例えば2つのnチャネル型MOSFET31、32を用いて

構成されると共に、昇圧スイッチ5が、例えば2つのpチャネル型MOSFET51、52を用いて構成され、それら電流スイッチ3および昇圧スイッチ5の各動作が、データ信号DATAと反転データ信号XDATAに従ってそれぞれ制御される構成としたものである。なお、電流源1、発光素子2およびコンデンサ4は、上述の基本構成において説明したものと同様である。

【0040】電流スイッチ3を構成する、nチャネル型MOSFET31は、データ信号DATAがゲート端子に印加され、ドレイン端子が発光素子2のカソード端子に接続され、ソース端子が電流源1の出力端子1oに接続される。また、nチャネル型MOSFET32は、反転データ信号XDATAがゲート端子に印加され、ドレイン端子がコンデンサ4の端子4bに接続され、ソース端子が電流源1の出力端子1oに接続される。

【0041】昇圧スイッチ5を構成する、pチャネル型MOSFET51は、反転データ信号XDATAがゲート端子に印加され、電源電圧VDDがソース端子に印加され、ドレイン端子がコンデンサ4の端子4bおよびnチャネル型MOSFET32のドレイン端子に接続される。また、pチャネル型MOSFET52は、データ信号DATAがゲート端子に印加され、電源電圧VDDがソース端子に印加され、ドレイン端子がコンデンサ4の端子4aおよび発光素子2に接続される。

【0042】ここでは具体的に、発光素子2としてLDを使用し、コンデンサ4としては容量が例えば100nF等ものを使用し、電流源1は上述の図2に示したような一般的なカレントミラー回路で構成されるものとする。また、電源電圧VDDが1.8Vであって、データ信号DATAおよび反転データ信号XDATAが、差動のLV-CMOSレベルでLow=0V、High=1.8Vである場合を想定して動作を説明することにする。

【0043】上記のような発光素子駆動回路において、発光素子2を消光状態とするときには、ローレベル(0V)のデータ信号DATAが、nチャネル型MOSFET31およびpチャネル型MOSFET52の各ゲート端子に入力されると同時に、ハイレベル(1.8V)の反転データ信号XDATAが、nチャネル型MOSFET32およびpチャネル型MOSFET51の各ゲート端子に入力される。これにより、nチャネル型MOSFET32およびpチャネル型MOSFET52がそれぞれオンとなり、nチャネル型MOSFET31およびpチャネル型MOSFET51がそれぞれオフとなる。従って、図4の破線矢印で示すように、pチャネル型MOSFET52、ノードN2、コンデンサ4、ノードN1、nチャネル型MOSFET32、電流源1の順に一定の電流が流れ、コンデンサ4の充電が行われる。

【0044】発光素子2を発光状態とするときには、ハイレベルのデータ信号DATAが、nチャネル型MOS

FET31およびpチャネル型MOSFET52の各ゲート端子に入力されると同時に、ローレベルの反転データ信号XDATAが、nチャネル型MOSFET32およびpチャネル型MOSFET51の各ゲート端子に入力される。これにより、nチャネル型MOSFET31およびpチャネル型MOSFET51がそれぞれオンとなり、nチャネル型MOSFET32およびpチャネル型MOSFET52がそれぞれオフとなる。従って、図4の実線矢印で示すように、pチャネル型MOSFET51、ノードN1、コンデンサ4、ノードN2、発光素子2、nチャネル型MOSFET31、電流源1の順に一定の電流が流れるようになり、昇圧されたノードN2の電位V(N2)が発光素子2に印加されて、発光素子2が発光状態となる。

【0045】このとき、昇圧された電圧が、昇圧スイッチ5のpチャネル型MOSFET52のしきい値電圧 $V_{th}(p)$ による制限を受けることに注意を要する。すなわち、ノードN2の電位V(N2)が昇圧されることによって、pチャネル型MOSFET52のゲート・ドレイン間電圧がしきい値電圧 $V_{th}(p)$ の絶対値よりも大きくなると、pチャネル型MOSFET52がオンするため、コンデンサ4に蓄えられていた電荷がpチャネル型MOSFET52を経由して放電されるようになる。このため、図5の中段に示すように、発光素子2に印加される昇圧されたノードN2の電位V(N2)は、 $VDD(1.8V) + |V_{th}(p)|$ となり、例えばしきい値電圧 $V_{th}(p)$ が0.8Vのpチャネル型MOSFET52を使用した場合、昇圧されたノードN2の電位V(N2)は2.6Vとなる。

【0046】このように第1実施形態の発光素子駆動回路によれば、電流スイッチ3および昇圧スイッチ5をMOSFETを用いて構成し、各MOSFETの動作をデータ信号DATAおよび反転データ信号XDATAに従って制御して、回路の電流経路を切り替え、コンデンサ4の充放電を行うようにしたことで、簡略な構成により電源電圧VDDを昇圧することができるとともに、発光素子2の発光/消光状態に拘わらず電流源1に対して継続的に電流が流れ込むようになるため、コンデンサ4の充放電による従来のような電流源1の不安定動作が低減されて、発光素子2の安定した高速変調が可能になる。

【0047】なお、上述した第1実施形態では、電流スイッチおよび昇圧スイッチをMOSFETを用いて構成するようにしたが、本発明は、スイッチ動作の可能な公知の素子を用いて各スイッチを構成することが可能であり、例えば、接合型FET、MESFET等を用いるようにしても構わない。

【0048】また、本発光素子駆動回路における各回路部品は、個別部品で構成しても構わないし、CMOSなどの半導体プロセスを利用してモノシリクに構成しても構わない。上記の内容は、以降の実施形態においても

同様である。

【0049】さらに、本実施形態において、消光状態である時間が長く続く場合は、コンデンサ4の充電を完了すると電流源1が停止してしまうので、次に発光状態に切り替わる際に、電流源1の寄生容量を充放電するために発光素子2に流れる電流が不安定になって高速変調が困難となる可能性がある。したがって、本実施形態は消光状態の時間が規定されたシステムに対して適用するのが望ましい。

【0050】次に、本発明の第2実施形態について説明する。第2実施形態では、光信号によるデータの伝送がいわゆるバースト伝送方式である場合に好適な発光素子駆動回路の一例を説明する。

【0051】図6は、第2実施形態にかかる発光素子駆動回路の構成を示す図である。ただし、第1実施形態の構成と同様の部分には同一の符号が付してあり、以下同様とする。

【0052】図6に示す発光素子駆動回路は、上述の図1に示した基本構成について、電流スイッチ3が、例えば3つのnチャネル型MOSFET31、32、33を用いて構成されると共に、昇圧スイッチ5が、例えば2つのpチャネル型MOSFET51、52を用いて構成され、それら電流スイッチ3および昇圧スイッチ5の各動作が、セル信号CELL、データ信号DATAおよび反転データ信号XDATAに基づいて、それぞれ制御される構成としたものである。上記のセル信号は、図7の上段に示すように、バースト的に発生するデータを含んだセルがあるタイミングと、セルがないタイミングとを識別するための信号である。具体的には、例えばデータあり(セル内)のときにハイレベルとなり、データなし(セル外)のときにローレベルとなるようなセル信号CELLが、外部装置などから与えられるものとする。なお、電流源1、発光素子2およびコンデンサ4は、上述の基本構成において説明したものと同様である。

【0053】電流スイッチ3を構成する、nチャネル型MOSFET31は、NORゲート63からの出力信号がゲート端子に入力され、ドレイン端子が発光素子2のカソード端子に接続され、ソース端子が電流源1の出力端子1oに接続される。NORゲート63には、インバータ61によって反転されたセル信号CELLと反転データ信号XDATAとが入力されている。また、nチャネル型MOSFET32は、NORゲート62からの出力信号がゲート端子に入力され、ドレイン端子がノードN2(コンデンサ4の端子4a)に接続され、ソース端子が電流源1の出力端子1oに接続される。NORゲート62には、インバータ61によって反転されたセル信号CELLとデータ信号DATAとが入力されている。さらに、nチャネル型MOSFET33は、インバータ61からの出力信号がゲート端子に入力され、ドレイン端子がノードN1(コンデンサ4の端子4b)に接続さ

れ、ソース端子が電流源1の出力端子1oに接続される。インバータ61には、セル信号CELLが入力されている。

【0054】昇圧スイッチ5を構成する、pチャネル型MOSFET51は、インバータ61からの出力信号がゲート端子に入力され、電源電圧VDDがソース端子に印加され、ドレイン端子がノードN1に接続される。また、pチャネル型MOSFET52は、セル信号CELLがゲート端子に入力され、電源電圧VDDがソース端子に印加され、ドレイン端子がノードN2に接続され

る。

【0055】上記のような構成の発光素子駆動回路では、バースト・データが発生していないセル外のタイミングにおいて、コンデンサ4の充電が行われ、バースト・データが発生しているセル内のタイミングにおいては、データのレベルに関係なくコンデンサ4の放電が行われるように、電流経路の切り替えが行われる。

【0056】具体的には、図7に示すように、データなし（セル外）のタイミングでは、セル信号CELLおよびデータ信号DATAがそれぞれローレベルとなり、反転データ信号XDATAがハイレベルとなる。ローレベルのセル信号CELLは、pチャネル型MOSFET52のゲート端子に送られると共に、インバータ61に入力される。インバータ61で反転されてハイレベルとなった信号は、nチャネル型MOSFET33およびpチャネル型MOSFET51の各ゲート端子、並びに、NORゲート62、63にそれぞれ送られる。NORゲート62では、インバータ61からの出力信号およびデータ信号DATAの論理和の否定が演算され、ローレベルの信号がnチャネル型MOSFET32のゲート端子に送られる。さらに、NORゲート63では、インバータ61からの出力信号および反転データ信号XDATAの論理和の否定が演算され、ローレベルの信号がnチャネル型MOSFET31のゲート端子に送られる。従って、pチャネル型MOSFET52およびnチャネル型MOSFET33がそれぞれオンとなり、pチャネル型MOSFET51およびnチャネル型MOSFET31、32がそれぞれオフとなる。これにより、図6の破線矢印で示すように、pチャネル型MOSFET52、ノードN2、コンデンサ4、ノードN1、nチャネル型MOSFET33、電流源1の順に一定の電流が流れてコンデンサ4の充電が行われ、図7の中段に示すように、ノードN2の電位V(N2)が電源電圧VDDとなる。

【0057】なお、上記のようなセル外のタイミングでは、コンデンサ4の充電が完了すると電流源1への電流の流れ込みがなくなることになる。しかし、セル外では発光素子2を高速変調する必要がないため、電流源1の動作が停止しても発光素子2の駆動に影響を及ぼすことはない。

【0058】一方、データあり（セル内）のタイミング

では、データ信号DATAがローで消光になる場合と、データ信号DATAがハイレベルで発光になる場合において、さらに電流経路の切り替えが行われる。

【0059】具体的には、セル内において消光になるタイミングでは、データ信号DATAがローレベルとなり、セル信号CELLおよび反転データ信号XDATAがそれぞれハイレベルとなる。これにより、pチャネル型MOSFET52は、ハイレベルのセル信号CELLを受けてオフとなり、pチャネル型MOSFET51は、インバータ61で反転されたローレベルの信号を受けてオンとなる。また、nチャネル型MOSFET33は、インバータ61で反転されたローレベルの信号を受けてオフとなり、nチャネル型MOSFET32は、NORゲート62から出力されるハイレベルの信号を受けてオンとなり、nチャネル型MOSFET31は、NORゲート63から出力されるローレベルの信号を受けてオフとなる。従って、図6の一点鎖線矢印で示すように（一部は実線と重なっている）、pチャネル型MOSFET51、ノードN1、コンデンサ4、ノードN2、nチャネル型MOSFET32、電流源1の順に一定の電流が流れるようになる。このとき、図7の中段に示すように、ノードN2の電位V(N2)は、 $VDD + |V_{th}(p)|$ に昇圧されるが、発光素子2を通る経路には電流が流れないため発光素子2は消光状態となる。

【0060】また、セル内において発光になるタイミングでは、セル信号CELLおよびデータ信号DATAがそれぞれハイレベルとなり、反転データ信号XDATAがローレベルとなる。これにより、pチャネル型MOSFET52は、ハイレベルのセル信号CELLを受けてオフとなり、pチャネル型MOSFET51は、インバータ61で反転されたローレベルの信号を受けてオンとなる。また、nチャネル型MOSFET33は、インバータ61で反転されたローレベルの信号を受けてオフとなり、nチャネル型MOSFET32は、NORゲート62から出力されるローレベルの信号を受けてオフとなり、nチャネル型MOSFET31は、NORゲート63から出力されるハイレベルの信号を受けてオンとなる。従って、図6の実線矢印で示すように、pチャネル型MOSFET51、ノードN1、コンデンサ4、ノードN2、発光素子2、nチャネル型MOSFET31、電流源1の順に一定の電流が流れ、昇圧されたノードN2の電位V(N2)が発光素子2に印加されて、発光素子2が発光状態となる。

【0061】なお、上記のような回路構成では、セル内において、コンデンサ4に蓄えられた電荷が発光/消光に関係なく放電されるため、1つのセルの長さ等の条件に応じてコンデンサ4の容量を設定する必要がある。具体的な設定の一例を次に示す。

【0062】例えば、発光素子2についての最大駆動電流値Iが100mA、1つのセルの長さに相当する時間

Tが3 $\mu$ s(ただし、許容セル数を1セルとする)、pチャネル型MOSFET52のしきい値電圧V<sub>th(p)</sub>が0.8V、発光素子2および駆動回路に必要な電圧V<sub>LDD</sub>が2.5V以上であるような条件で本回路を使用すると、コンデンサ4の容量C<sub>1</sub>の大きさは、蓄えら\*

$$\begin{aligned} C_1 &\geq I \cdot T / \Delta V \\ &\geq I \cdot T / (V_{DD} + V_{th(p)} - V_{LDD}) \\ &\geq 100 \text{ mA} \cdot 3 \mu \text{ s} / (1.8 + 0.8 - 2.5) \text{ V} \\ &\geq 3 \mu \text{ F} \end{aligned}$$

上記のような使用条件においては、例えば3.3 $\mu$ F等10の容量を有するコンデンサを使用することが可能である。

【0064】このように第2実施形態によれば、バースト伝送方式においては、セル信号CELL等を利用して電流経路の切り替え制御を行い、セル外のタイミングではコンデンサ4を充電し、セル内のタイミングではコンデンサ4を放電するようにしても、第1実施形態の場合と同様な効果を得ることが可能である。

【0065】なお、第2実施形態では、セル内でデータ信号がローレベルとなるタイミングにおいて、コンデンサ4に蓄えられた電荷が放電されるような回路構成としているが、例えば、図8に示す回路構成となるように変形することによって、消光時にコンデンサ4の電荷を無駄に消費するようなことが回避される。すなわち、図8の回路構成では、ノードN2に接続していたnチャネル型MOSFET32のドレイン端子を、電源電圧V<sub>DD</sub>が印加されるpチャネル型MOSFET51、52の共通接続点に接続するようにしたものである。これにより、セル内における消光時の電流経路が、図8の一点鎖線矢印で示すように、コンデンサ4を経由することなく50 nチャネル型MOSFET32から電流源1に向かうものとなる。このような回路構成とすることにより、セル内にある状態をより長い時間保つことが可能になる。

【0066】次に、本発明の第3実施形態について説明する。上述の第2実施形態がセル信号を利用してセル外のタイミングでコンデンサを充電するように電流経路を切り替える構成であったのに対して、第3実施形態は、さらにクロック信号も利用してセル外のタイミングでコンデンサを充電するようにした一例を示すものである。

【0067】図9は、第3実施形態にかかる発光素子駆動回路の構成を示す図である。図9に示す発光素子駆動回路は、前述の図6に示した第2実施形態について、データ信号DATAに同期したクロック信号CLKが外部等より与えられ、該クロック信号CLKを分周回路64にて分周してクロック信号CLK'を生成し、そのクロック信号CLK'と、第2実施形態でも用いた、セル信号CELL、データ信号DATAおよび反転データ信号XDATAとに基づいて、電流スイッチ3および昇圧スイッチ5の各動作がそれぞれ制御される。また、後述するように、昇圧されたノードN2の電位はクロック信号

\*れる電荷をQ、端子間の電位差を $\Delta V$ として、 $Q = C_1 \cdot \Delta V = I \cdot T$ の関係を使用し、次の条件を満足するように設計すればよい。

【0063】

CLK'に従って変動するため、整流器71およびコンデンサ72を付加して整流を行い、昇圧された電源電圧の安定化を図っている。

【0068】分周回路64は、例えば、直列に接続された2つのDフリップフロップ64a、64b等を用いて構成される。Dフリップフロップ64aは、外部から与えられるクロック信号CLKがクロック入力端子に入力され、データ入力端子と反転データ出力端子とが互いに接続される。また、Dフリップフロップ64bは、Dフリップフロップ64aのデータ出力端子から出力される信号がクロック入力端子に入力され、データ入力端子と反転データ出力端子とが互いに接続される。このDフリップフロップ64bのデータ出力端子から出力される信号は、クロック信号CLKの周波数を分周したクロック信号CLK'となり、NANDゲート65に入力される。NANDゲート65には、インバータ66で反転されたセル信号CELLも入力されていて、クロック信号CLK'および反転されたセル信号CELLの論理積の否定が演算され、該演算結果がpチャネル型MOSFET52のゲート端子およびインバータ61に送られる。また、インバータ66で反転されたセル信号CELLはNORゲート62、63にもそれぞれ送られる。

【0069】整流器71は、例えば、コンデンサ4の端子4a等が接続するノードN2と、発光素子2のアノード端子等が接続するノードN3との間で、ノードN2からノードN3への向きを順方向として接続される。また、コンデンサ72は、ノードN3と接地端子の間に接続される。

【0070】上記のような構成の発光素子駆動回路では、バースト・データが発生していないセル外のタイミングにおいて、分周されたクロック信号CLK'に従いコンデンサ4およびコンデンサ72の充電が行われ、バースト・データが発生しているセル内のタイミングにおいては、データのレベルに関係なくコンデンサ72の放電が行われるように、電流経路の切り替えが行われる。

【0071】具体的には、図10に示すように、データなし(セル外)のタイミングでは、セル信号CELLおよびデータ信号DATAがそれぞれローレベルとなり、図示しない反転データ信号XDATAがハイレベルとなる。一方、分周されたクロック信号CLK'は、データの有無(セル内外)に拘わらず、分周回路64で設定さ

れた周期でハイレベルとローレベルを繰り返す。

【0072】セル外においてクロック信号CLK'がハイレベルの場合を考えると、ハイレベルのクロック信号CLK'およびインバータ66から出力されるハイレベルの信号がNANDゲート65に送られ、該NANDゲート65からはローレベルの信号がpチャネル型MOSFET52およびインバータ61に出力される。そして、インバータ61で反転されたハイレベルの信号がpチャネル型MOSFET51およびnチャネル型MOSFET33にそれぞれ送られる。また、ローレベルのデータ信号DATAおよびインバータ66で反転されたハイレベルの信号がNORゲート62に送られ、該NORゲート62からはローレベルの信号がnチャネル型MOSFET32に送られる。さらに、ハイレベルの反転データ信号XDATAおよびインバータ66で反転されたハイレベルの信号がNORゲート63に送られ、該NORゲート63からはローレベルの信号がnチャネル型MOSFET31に送られる。従って、pチャネル型MOSFET52およびnチャネル型MOSFET33がそれぞれオンし、pチャネル型MOSFET51およびnチャネル型MOSFET31、32がそれぞれオフする。これにより、図9の破線矢印で示すように、pチャネル型MOSFET52、ノードN2、コンデンサ4、ノードN1、nチャネル型MOSFET33、電流源1の順に一定の電流が流れてコンデンサ4の充電が行われる。

【0073】また、セル外でクロック信号CLK'がローレベルとなったときには、NANDゲート65からハイレベルの信号が出力され、インバータ61からはローレベルの信号が出力されて、pチャネル型MOSFET51がオンし、pチャネル型MOSFET52およびnチャネル型MOSFET33がそれぞれオフする。また、nチャネル型MOSFET31、32は、クロック信号CLK'がハイレベルのときと同じくそれぞれオフとなる。これにより、図9の二点鎖線矢印で示すように、pチャネル型MOSFET51、ノードN1、コンデンサ4、ノードN2、整流器71、ノードN3、コンデンサ72の順に一定の電流が流れるようになる。このとき、ノードN2の電位V(N2)は、コンデンサ4に蓄えられて電荷によって $VDD + |V_{th}(p)|$ まで昇圧され、そして、整流器71およびコンデンサ72を電流が流れることでコンデンサ72が充電される。

【0074】なお、整流器71において端子間電圧分の電圧ドロップが発生するため、pチャネル型MOSFET52としてはしきい値電圧 $V_{th}(p)$ が高めの素子を用いるのが望ましく、例えば、しきい値電圧 $V_{th}(p)$ が1V程度の素子を使用するのが好適である。また、整流器71の順方向動作時の動作電圧は、極力小さなものが望ましく、例えば、しきい値電圧 $V_{th}(r)$ が0.3V程度のMOSトランジスタ等を用いた整流器を用いるのが好

適である。上記のような回路部品を用いた場合、電源電圧VDDを1.8Vとすると、ノードN3の電位V(N3)は、約0.7(=1-0.3)Vだけ昇圧されて約2.5Vで安定になる。

【0075】上記のようにして、セル外のタイミングにおいては分周されたクロック信号に従ってコンデンサ4、72の充電が行われる。なお、このとき、コンデンサ4、72の充電が完了すると電流源1への電流の流れ込みがなくなることになるが、セル外では発光素子2を高速変調する必要がないため、電流源1の動作が停止しても発光素子2の駆動に影響を及ぼすことはない。

【0076】一方、セル内のタイミングでは、ハイレベルのセル信号CELLがインバータ66で反転されてローレベルとなってNANDゲート65に送られるため、該NANDゲート65からは、クロック信号CLK'のレベルに関係なくハイレベルの信号が出力される。これにより、第2実施形態におけるセル内のタイミングの場合と同様にして、pチャネル型MOSFET51がオンし、pチャネル型MOSFET52およびnチャネル型MOSFET33がそれぞれオフするとともに、データ信号DATAおよび反転データ信号XDATAのレベルに応じてnチャネル型MOSFET32および31がスイッチ動作する。

【0077】具体的には、データ信号がハイレベルのとき、nチャネル型MOSFET31がオンし、nチャネル型MOSFET32がオフして、図9の実線矢印で示すように、コンデンサ72、ノードN3、発光素子2、nチャネル型MOSFET31、電流源1の順に一定の電流が流れて、昇圧されたノードN3の電圧V(N3)が発光素子2に印加されて発光状態となる。

【0078】また、データ信号がローレベルのときには、nチャネル型MOSFET32がオンし、nチャネル型MOSFET31がオフして、図9の一点鎖線矢印で示すように、コンデンサ72、ノードN3、nチャネル型MOSFET32、電流源1の順に一定の電流が流れて、発光素子2が消光状態となる。図10の下段には、発光素子2に与えられる駆動電流ILDの変化の様子を示しておく。

【0079】このように第3実施形態によれば、セル信号CELLに応じてセル外のタイミングを判断し、分周したクロック信号CLK'に従ってコンデンサの充電を行うようにしても、第2実施形態の場合と同様な効果を得ることが可能である。また、整流器71およびコンデンサ72を設けたことで、クロック信号CLK'に応じた電圧の変動が安定化されて、昇圧された高い電源電圧を発光素子2に印加することができる。

【0080】なお、上述した第3実施形態では、クロック信号CLKを分周回路64で分周してスイッチ制御に用いるようにしたが、本発明は、分周を行うことなくクロック信号CLKを直接制御に用いることも可能であ

る。また、分周の割合は、クロック信号CLKの周波数に応じて適宜に設定することができる。

【0081】さらに、セル外のタイミングにおいて、電流が電流源1に流れ込む回路構成としたが、例えば図11に示すように、nチャネル型MOSFET33のソース端子を接地するようにしても構わない。このような回路構成にすることで、コンデンサの充電時間を短縮することが可能になる。

【0082】加えて、セル内のタイミングにおいて、コンデンサ72に蓄えられた電荷が放電されるような回路構成としているが、例えば、図12に示す回路構成となるように変形することによって、消光時にコンデンサ72の電荷を無駄に消費するようなことが回避される。すなわち、図12の回路構成では、ノードN3に接続していたnチャネル型MOSFET32のドレイン端子を、電源電圧VDDが印加されるpチャネル型MOSFET51、52の共通接続点に接続するようにしたものである。これにより、セル内における消光時の電流経路が、図12の一点鎖線矢印で示すように、nチャネル型MOSFET32から電流源1に向かうものとなって、本回路のさらなる低消費電力化と共に、セル内にある状態をより長い時間保つことが可能になる。

【0083】次に、本発明の第4実施形態について説明する。第4実施形態は、上述した第3実施形態について、外部等から与えられていたセル信号CELLを、データ信号DATAを基に回路内部で生成するように改良を加えた一例を示すものである。

【0084】図13は、第4実施形態にかかる発光素子駆動回路の構成を示す図である。図13に示す発光素子駆動回路は、例えば前述の図12に示した第3実施形態について、データ信号DATAを基に、セル信号CELLに相当するデータ検出信号DATA-DETを生成するデータ検出部8を設け、NORゲート62、63およびインバータ66を省略するようにした構成である。上記以外の回路構成は図12に示した回路構成と同様である。

【0085】図14は、データ検出部8の具体的な回路構成の一例を示す図である。図14において、データ検出部8は、8つのDフリップフロップF1～F8からなるシフトレジスタ81と、各DフリップフロップF1～F8の反転データ出力信号のNANDを演算するNANDゲート82と、該NANDゲート82の出力信号をデータ入力としてデータ検出信号DATA-DETを出力するDフリップフロップ83とを有する。

【0086】シフトレジスタ81の各DフリップフロップF1～F8は、クロック信号CLKがクロック入力端子にそれぞれ入力される。初段のDフリップフロップF1は、入力データ信号DATA-INがデータ入力端子Dに入力され、データ出力端子QがDフリップフロップF2のデータ入力端子に接続され、反転データ出力端子XQがNANDゲート82の入力端子に接続される。2段目以降の各DフリップフロップF2～F8は、隣り合うDフリップフロップのデータ出力端子Qとデータ入力端子Dとが互いに接続され、各々の反転データ出力端子XQがNANDゲート82の入力端子にそれぞれ接続される。なお、ここでは、5段目のDフリップフロップF5のデータ出力および反転データ出力が、データ信号DATAおよび反転データ信号XDATAとして取り出され、図13に示したnチャネル型MOSFET31および32の各ゲート端子に送られるものとする。

【0087】NANDゲート82は、各DフリップフロップF1～F8の反転データ出力の論理積の否定を演算して、該演算結果を示す信号をDフリップフロップ83のデータ入力端子Dに送る。Dフリップフロップ83は、クロック信号CLKがクロック入力端子に入力されていて、NANDゲート82からの出力信号を受けて、データ出力端子Dからデータ検出信号DATA-DETを出力する、このデータ検出信号DATA-DETが、図13に示したNANDゲート65に送られる。なお、NANDゲート65には、第3実施形態の場合と同様に、分周回路64で分周されたクロック信号CLK'が入力されている。

【0088】ここで、上記データ検出部8の動作について簡単に説明する。データ検出部8では、図15に示すように、データ信号DATAのローレベルが続いた後ハイレベルに転じる4ビット前に、データ検出信号がデータ有りを示すハイレベルとなり、また、データ信号DATAのローレベルが8ビット以上連続する場合に、データ信号DATAの最後のハイレベル後の4ビット間について、データ検出信号がハイレベルとなるような動作が行われる。

【0089】具体的には、シフトレジスタ81への入力データ信号DATA-INが、ローレベルを示す「0」で連続する状態と、ハイレベルを示す「1」を含んだ状態との間で切り替わるとき、データ検出部8の各部の論理値は、次の表1に示すように変化する。

【0090】

【表1】

21

22

ステップ	DAT A	F1 Q	F2 Q	F3 Q	F4 Q	F5 Q	F6 Q	F7 Q	F8 Q	NAND	DATA -DET	DATA	XDAT A
1	0	0	0	0	0	0	0	0	0	0	0	0	0
2	1	0	0	0	0	0	0	0	0	1	0	0	0
3	1	1	0	0	0	0	0	0	0	1	1	0	0
4	1	1	1	0	0	0	0	0	0	1	1	0	0
5	1	1	1	1	0	0	0	0	0	1	1	0	0
6	1	1	1	1	1	0	0	0	0	1	1	0	0
7	1	1	1	1	1	1	0	0	0	1	1	1	0
8	1	1	1	1	1	1	1	0	0	1	1	1	1
9	1	1	1	1	1	1	1	1	0	1	1	1	1
10	1	1	1	1	1	1	1	1	1	1	1	1	1
11	0	1	1	1	1	1	1	1	1	1	1	1	1
12	0	0	1	1	1	1	1	1	1	1	1	1	1
13	0	0	0	1	1	1	1	1	1	1	1	1	1
14	0	0	0	0	1	1	1	1	1	1	1	1	1
15	0	0	0	0	0	1	1	1	1	1	1	1	1
16	0	0	0	0	0	0	1	1	1	1	1	0	0
17	0	0	0	0	0	0	0	1	1	1	1	0	0
18	0	0	0	0	0	0	0	0	0	0	1	0	0
19	0	0	0	0	0	0	0	0	0	0	0	0	0
20	0	0	0	0	0	0	0	0	0	0	0	0	0

【0091】表1より、シフトレジスタ81によって5ビット分だけ遅延された入力データ信号DATA-INがデータ信号DATAとして出力されるとともに、そのデータ信号DATAが「0」から「1」に変化する4ビット前に、データ検出信号DATA-DETが「0」から「1」に変化し、データ信号DATAが「1」から「0」に変化した4ビット後に、データ検出信号DATA-DETが「1」から「0」に変化する様子がわかる。

【0092】このようにデータ検出部8で生成されるデータ検出信号DATA-DETは、データ信号DATAの「1」を検出してハイレベルとなり、データ信号DATAの「0」連続を検出してローレベルとなるので、上述の第3実施形態で用いたセル信号CELLに相当する信号が、本回路内で生成されることになる。そして、このデータ検出信号DATA-DETが、NANDゲート65に送られ、第3実施形態の場合と同様にして、各スイッチの動作が制御され電流経路の切り替えが行われるようになる。

【0093】上記のように第4実施形態では、データ信号DATAおよびクロック信号CLKを用いてデータ検出信号DATA-DETを生成するようにしたことで、セル信号CELLが与えられないシステムであっても、発光素子2を高い電圧で高速に駆動することが可能である。このような回路構成は、バースト伝送方式に限らず、通常の連続伝送方式に対しても適用可能であるという利点がある。

【0094】なお、上述した第4実施形態では、デジタル回路で構成されたデータ検出部8を用いる場合について説明したが、本発明に適用されるデータ検出部8の回路構成はこれに限られるものではない。

【0095】図16は、アナログ回路を使用してデータ検出部を構成した一例を示す図である。図16のデータ

検出部8'では、入力データ信号DATA-INが2つのDフリップフロップf1、f2によって遅延されて、データ信号DATAおよび反転データ信号XDATAが生成される。また、MOSFET84a~84f、電流源85a、85b、インバータ86およびコンデンサ87で構成されるアナログ回路により、入力データ信号DATA-INを基にデータ検出信号DATA-DETが生成される。

【0096】このアナログ回路は、pチャネル型MOSFET84a、84bおよびnチャネル型MOSFET84c、84dが、電源電圧端子と接地端子の間に直列に接続される。pチャネル型MOSFET84bおよびnチャネル型MOSFET84cの共通の接続点には、一端が接地されたコンデンサ87の他端が接続されると共に、インバータ86の入力端子が接続される。このインバータ86の出力信号がデータ検出信号DATA-DETとなる。また、電源電圧端子と接地端子の間には、pチャネル型MOSFET84eおよび電流量I1の電流源85a、並びに、電流量I2の電流源85bおよびnチャネル型MOSFET84fがそれぞれ接続されている。なお、電流量I2は電流量I1よりも十分に大きいものとする。pチャネル型MOSFET84eは、ゲートドレイン端子間が接続され、かつ、ゲート端子がpチャネル型MOSFET84aのゲート端子に接続されて、カレントミラーを形成している。また、nチャネル型MOSFET84fも、ゲートドレイン端子間が接続され、かつ、ゲート端子がpチャネル型MOSFET84dのゲート端子に接続されて、カレントミラーを形成している。

【0097】上記のような構成のデータ検出部8'では、入力データ信号DATA-INがローレベルのとき、pチャネル型MOSFET84aからコンデンサ87に向けて電流I1が流れてコンデンサ87が充電され

る。一方、入力データ信号DATA-INがハイレベルのときには、コンデンサ87に蓄えられた電荷がnチャネル型MOSFET84dを介して放電される。したがって、データ検出信号DATA-DETのレベルは、インバータ86のしきい値電圧を基準として、コンデンサ87に蓄えられた電荷に応じて切り替わるようになる。

【0098】具体的に、例えば、電流量I1が100μA、電流量I1が10mA、コンデンサ87の容量値が30pF、インバータ86のしきい値電圧が0.9Vである場合の回路動作を、図17を用いて説明する。

【0099】図17の上段に示すようにローレベルの入力データ信号DATA-INが続いているときは、pチャネル型MOSFET84bがオン、nチャネル型MOSFET84cがオフとなっているので、pチャネル型MOSFET84aを介して供給される電流I1によってコンデンサ87が充電されるので、コンデンサ87が接続するノードN4の電位V(N4)は、図17の3段目に示すように電源電圧VDDに張り付く。この結果、イン\*

$$T1 = C \cdot \Delta V / I$$

$$= 30 \text{ pF} \cdot (1.8 - 0.9) \text{ V} / 10 \text{ mA} = 2.7 \text{ ns}$$

上記の場合、例えば1ビットが6.43nsの156Mb/sでは、入力データの「1」が1ビット以上存在することを検出できる。

【0102】入力データ信号DATA-INがローレベルになると、pチャネル型MOSFET84bがオン、nチャネル型MOSFET84cがオフとなるので、ノードN4の電位V(N4)は再び上昇し始めるが、インバータ86のしきい値電圧を超える前に入力データ信号DATA-INがハイレベルになると、上述したようにすぐに接地レベルに落ちて、データ検出信号DATA-DE※30

$$T2 = C \cdot \Delta V / I$$

$$= 30 \text{ pF} \cdot (0.9 - 0) \text{ V} / 100 \mu\text{A} = 270 \text{ ns}$$

上記の場合、例えば1ビットが6.43nsの156Mb/sでは、入力データのローレベルが42ビット続いたことに相当する。

【0105】このようにアナログ回路を含んで構成されたデータ検出部8'を用いても、第4実施形態の場合と実質的に同等なデータ検出信号DATA-DETを生成することが可能である。

【0106】次に、本発明の第5実施形態について説明する。第5実施形態は、例えば上述した第2実施形態について、セル信号に代えて、データ信号が連続してローレベルとなるタイミングを検出した信号を用いるようにしたものである。

【0107】図18は、第5実施形態にかかる発光素子駆動回路の構成を示す図である。図18において、本発光素子駆動回路は、例えば上述の図8に示した回路構成について、データ検出回路9を設けると共に、該データ検出回路9から出力されるデータ検出信号DATA-DETを反転するインバータ67を設けた構成である。

\* バータ86への入力信号がしきい値を超えて反転され、図17の下段に示すようにローレベルのデータ検出信号DATA-DETが出力される。

【0100】次に、入力データ信号DATA-INがハイレベルになると、pチャネル型MOSFET84bがオフ、nチャネル型MOSFET84cがオンとなるので、コンデンサ87からnチャネル型MOSFET84c、84dに向かって電流I2が流れて、コンデンサ87の放電が行われる。これによりノードN4の電位V(N4)は降下し接地レベルに張り付き、データ検出信号DATA-DETはハイレベルに転じる。このデータ検出信号DATA-DETがハイレベルとなるまでに要する時間T1は、コンデンサ87の電荷をQ、容量値をC、端子間の電圧をΔV、電流値をIとしたとき、 $Q = C \cdot \Delta V = I \cdot T1$ の関係を利用して計算すると次のようになる。

【0101】

$$9) \text{ V} / 10 \text{ mA} = 2.7 \text{ ns}$$

※ Tはハイレベルのままとなる。

【0103】その後、ローレベルの入力データ信号DATA-INが連続すると、ノードN4の電位V(N4)は上昇してインバータ86のしきい値電圧を超えるようになり、データ検出信号DATA-DETはローレベルに転じる。このデータ検出信号DATA-DETがローレベルとなるまでに要する時間T2は、上記の場合と同様に、 $Q = C \cdot \Delta V = I \cdot T1$ の関係を利用して計算すると次のようになる。

【0104】

$$V / 100 \mu\text{A} = 270 \text{ ns}$$

【0108】データ検出回路9は、入力データ信号DATA-INおよびクロック信号CLKの入力を受けて、入力データ信号DATA-INが連続してローレベルとなるタイミングを検出してハイレベルのデータ検出信号DATA-DETを出力する。また、ここではデータ検出回路9がデータ信号DATAおよび反転データ信号XDATAを生成して、NORゲート62および63にそれぞれ出力する機能を備えているものとする。上記のような機能を有するデータ検出回路は一般的であるため、ここでの具体的な回路構成の説明は省略する。

【0109】インバータ67は、データ検出回路9からのデータ検出信号DATA-DETを反転して、pチャネル型MOSFET52、インバータ61およびNORゲート52、63にそれぞれ送る。

【0110】上記のような構成の発光素子駆動回路では、インバータ67で反転されたデータ検出信号DATA-DETを、上述の第2実施形態で用いたセル信号CELLに代えて利用することで、第2実施形態の場合と

同様の作用、効果が得られるようになる。また、この回路構成は、バースト伝送方式に限らず、通常の連続伝送方式にも適用できるという利点がある。

【0111】次に、本発明の第6実施形態について説明する。上述した第1～5実施形態では、コンデンサ4の充放電を切り替えるときに、電源電圧端子に接続されていたコンデンサ4の一方の端子を電源電圧端子から開放し、電源電圧端子に接続されていなかったコンデンサ4の他方の端子を電源電圧端子に短絡する、2つの切り替え動作を同時に行っていた。この切り替えの際、コンデンサ4の充電経路のスイッチと放電（昇圧）経路のスイッチとが、一瞬間同時にオンする可能性があった。この場合、2つのスイッチ動作によってコンデンサ4の2つの端子間がショートしてしまうため、せっかく充電した電荷を放電して電圧変換効率を低下させてしまうおそれがある。そこで、第6実施形態では、上記の切り替えの際に、充電経路のスイッチと昇圧経路のスイッチとを一度同時にオフさせてから他方をオンするようなシーケンス制御を行うようにしたものである。

【0112】図19は、第6実施にかかる発光素子駆動回路の構成を示す図である。図19に示す回路は、例えば上述の図8に示した回路構成について、遅延回路100、インバータ101、104、NANDゲート102およびNORゲート103で構成されるシーケンス制御回路を付加したものである。

【0113】遅延回路100は、例えば図20に示すように、入力されるセル信号CELLを、複数のインバータを用いて所定時間だけ遅延させて、NANDゲート102およびNORゲート103にそれぞれ出力する。NANDゲート102は、遅延回路100からの出力信号とセル信号CELLとの論理積の否定を演算して、その結果を示す信号をpチャネル型MOSFET51のゲート端子に送る。NORゲート103は、遅延回路100からの出力信号とセル信号CELLとの論理和の否定を演算して、その結果を示す信号をインバータ104およびnチャネル型MOSFET33のゲート端子に送る。インバータ104は、NORゲート103からの出力信号を反転してpチャネル型MOSFET52のゲート端子に送る。インバータ101は、反転したセル信号CELLをNORゲート62、63にそれぞれ送る。

【0114】上記のような回路構成におけるシーケンス制御について、図21を用いて具体的に説明する。図21において、まず、セル外からセル内に切り替える際には、コンデンサ4への充電を行う充電経路のスイッチであるpチャネル型MOSFET52およびnチャネル型MOSFET33をオンからオフに切り替える。このとき、昇圧経路のスイッチであるpチャネル型MOSFET51はオフされたままである。この状態で、充電経路および昇圧経路の各スイッチを一度同時にオフした状態が実現される。そして、遅延回路100による遅延時間

Tdが経過した後に、pチャネル型MOSFET51をオフからオンに切り替えて、セル外からセル内への切り替えを完了する。

【0115】一方、セル内からセル外に切り替える際には、上記の場合と逆の順序となる。すなわち、コンデンサ4の充電を行うために、昇圧経路のスイッチであるpチャネル型MOSFET51をオンからオフに切り替える。このとき、充電経路のスイッチであるpチャネル型MOSFET52およびnチャネル型MOSFET33はオフされたままである。この状態で、充電経路および昇圧経路の各スイッチを一度同時にオフした状態が実現される。そして、遅延回路100による遅延時間Tdが経過した後に、pチャネル型MOSFET52およびnチャネル型MOSFET33をオフからオンに切り替えて、セル内からセル外への切り替えを完了する。

【0116】このように第6実施形態によれば、充電および昇圧（放電）の各電流経路の切り替えをシーケンス制御するようにしたことで、電流経路の切り替え時にコンデンサ4の2つの端子間がショートすることが回避されるため、電圧変換効率の低下を防いでより確実に電源電圧を昇圧することが可能になる。

【0117】なお、上述した第1～6実施形態では、発光を指示するハイレベルのデータ信号DATAや、バースト・データを含むセルの存在を示すハイレベルのセル信号等に基づいて、1回の昇圧を行う構成としたが、このような構成を複数段設けて、さらに高い電圧を発生させることが可能であることは自明である。

【0118】

【発明の効果】以上説明したように、本発明の発光素子駆動回路は、データ信号およびそれに対応した制御信号に従って第1および第2スイッチ部を制御して、電流源に流れる電流の経路を切り替えるようにしたことで、電源電圧昇圧部の充電により昇圧された電源電圧が発光素子に印加されると共に、発光素子の発光/消光状態に関係なく電流源が作動状態とされるため、低電源電圧化に対応可能であり、かつ、発光素子の安定した高速変調が可能な発光素子駆動回路を提供することができる。これにより、発光素子駆動回路およびそれを用いた各種の情報・通信機器の低消費電力化を図ることが可能になる。

【図面の簡単な説明】

【図1】本発明による発光素子駆動回路の基本構成を示す図である。

【図2】図1の回路に用いる電流源の構成例を示す図である。

【図3】本発明による発光素子駆動回路の基本的な動作を説明するタイムチャートである。

【図4】本発明の第1実施形態にかかる発光素子駆動回路の構成を示す図である。

【図5】同上第1実施形態の動作を説明するタイムチャートである。

【図6】本発明の第2実施形態にかかる発光素子駆動回路の構成を示す図である。

【図7】同上第2実施形態の動作を説明するタイムチャートである。

【図8】同上第2実施形態に関連する他の回路構成例を示す図である。

【図9】本発明の第3実施形態にかかる発光素子駆動回路の構成を示す図である。

【図10】同上第3実施形態の動作を説明するタイムチャートである。

【図11】同上第3実施形態に関連する他の回路構成例を示す図である。

【図12】同上第3実施形態に関連するさらに別の回路構成例を示す図である。

【図13】本発明の第4実施形態にかかる発光素子駆動回路の構成を示す図である。

【図14】同上第4実施形態についてデータ検出部の具体例を示す回路図である。

【図15】図14のデータ検出部から出力される信号を説明する図である。

【図16】同上第4実施形態に関連する他のデータ検出部の具体例を示す回路図である。

【図17】図16のデータ検出部から出力される信号を説明する図である。

【図18】本発明の第5実施形態にかかる発光素子駆動\*

\* 回路の構成を示す図である。

【図19】本発明の第6実施形態にかかる発光素子駆動回路の構成を示す図である。

【図20】同上第6実施形態について遅延回路の具体例を示す図である。

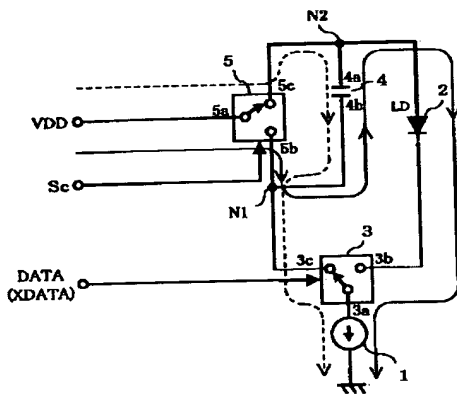
【図21】同上第6実施形態におけるシーケンス制御を説明するタイムチャートである。

【図22】一般的な高速光通信用の発光素子駆動回路の構成例を示す図である。

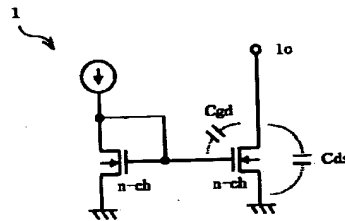
10 【符号の説明】

- 1…電流源
- 2…発光素子
- 3…電流スイッチ
- 4, 7, 2…コンデンサ
- 5…昇圧スイッチ
- 8, 8'…データ検出部
- 9…データ検出回路
- 31, 32, 33…nチャンネル型MOSFET
- 51, 52…pチャンネル型MOSFET
- 20 61…インバータ
- 62, 63…NORゲート
- 64…分周回路
- 65, 82…NANDゲート
- 71…整流器
- 100…遅延回路

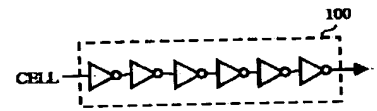
【図1】



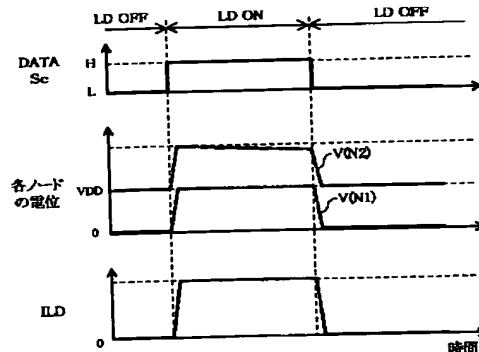
【図2】



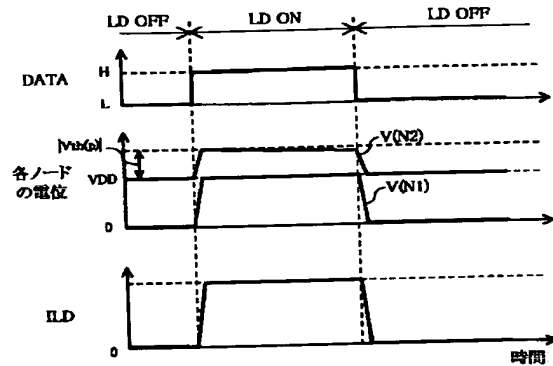
【図20】



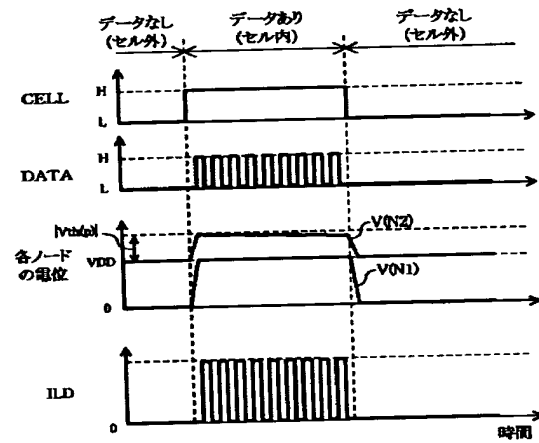
【図3】



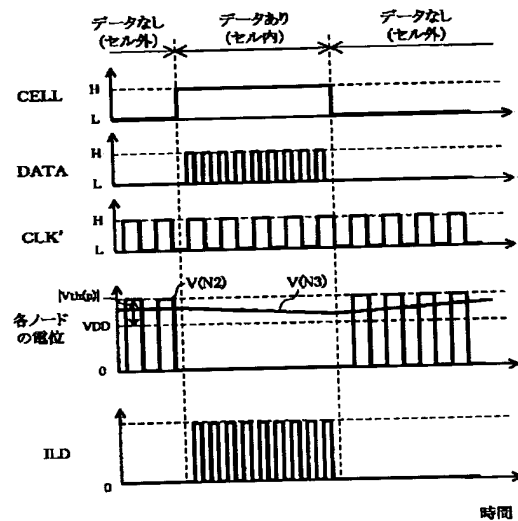
【図 5】



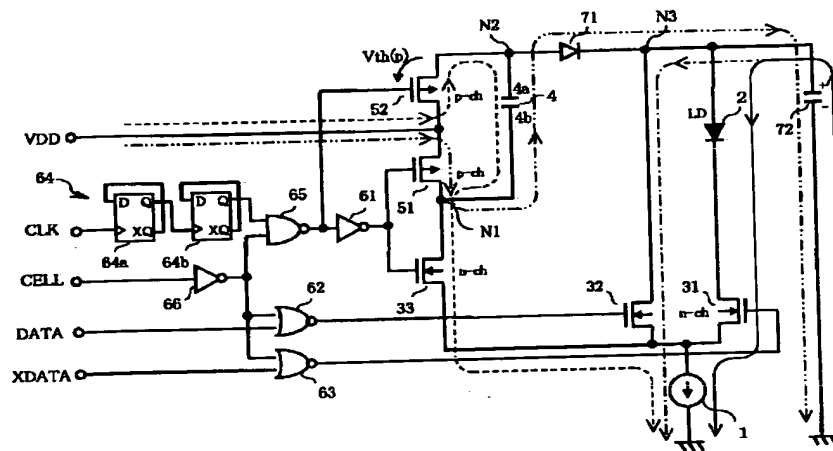
【图7】



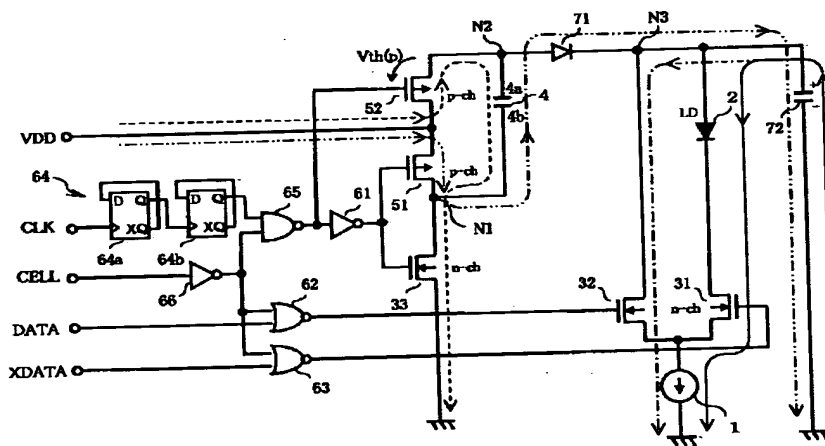
【図 10】



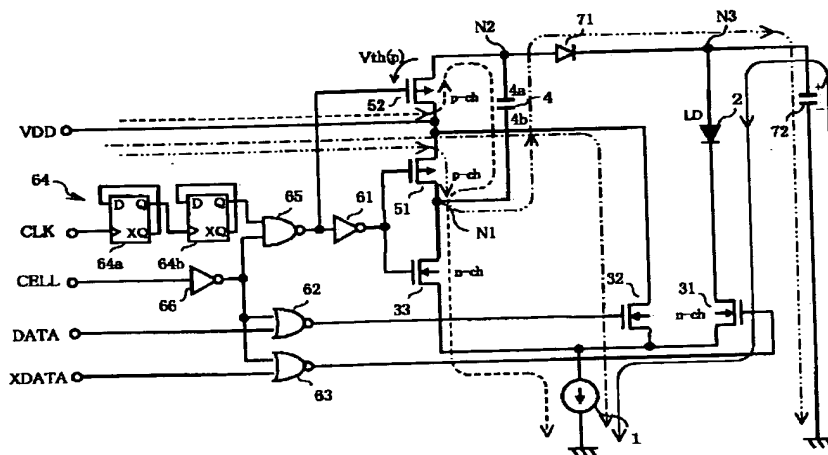
【図9】



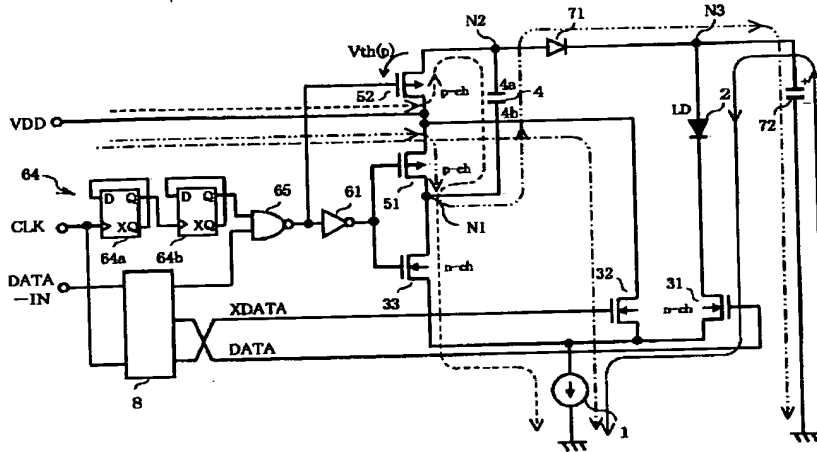
【図11】



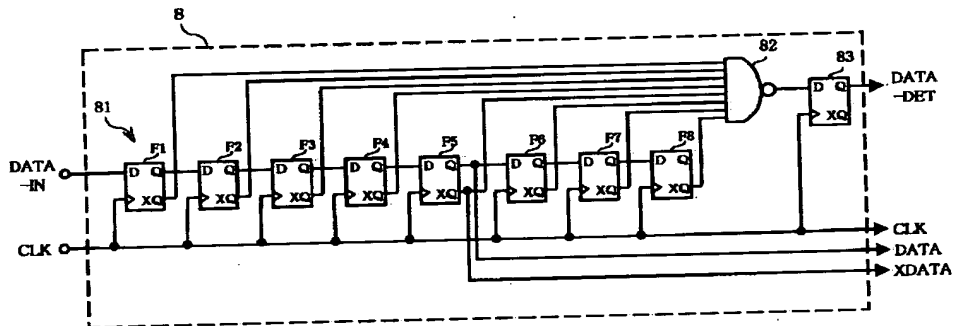
【図12】



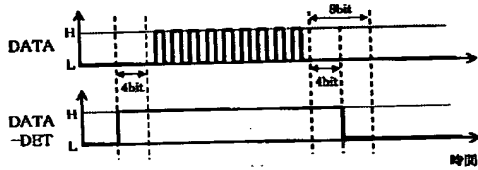
【図13】



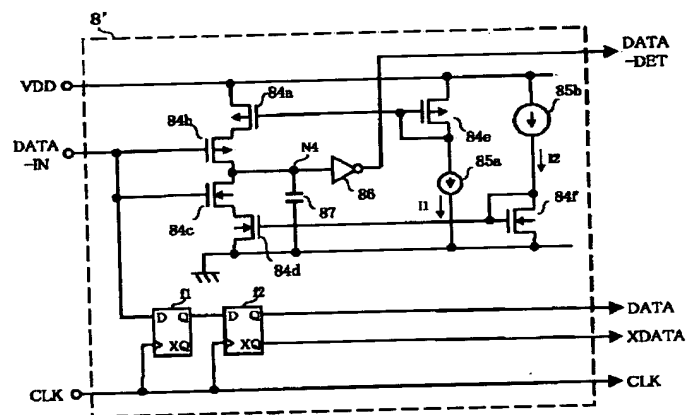
【図14】



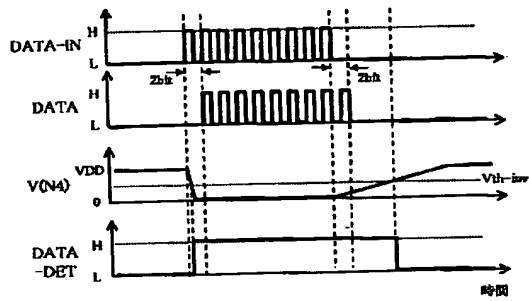
【図15】



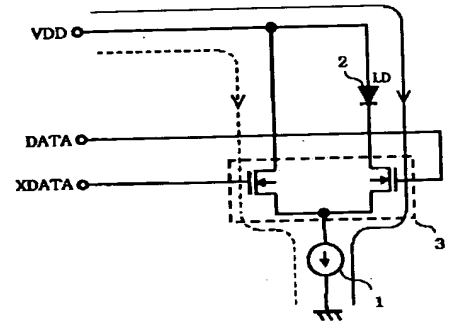
【図16】



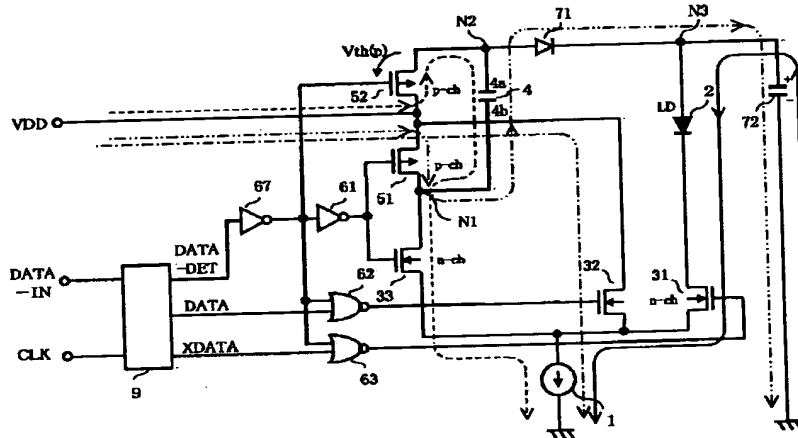
【図17】



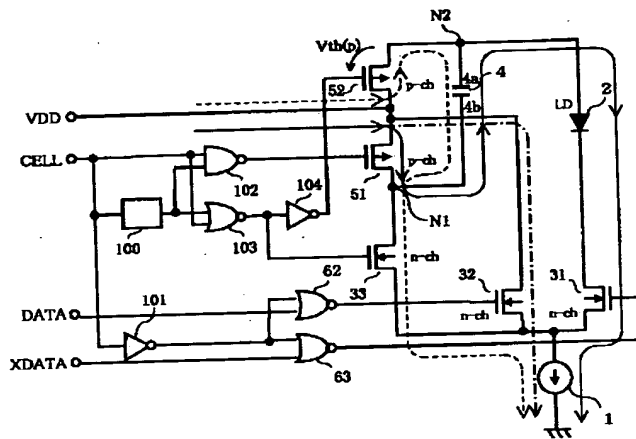
【図22】



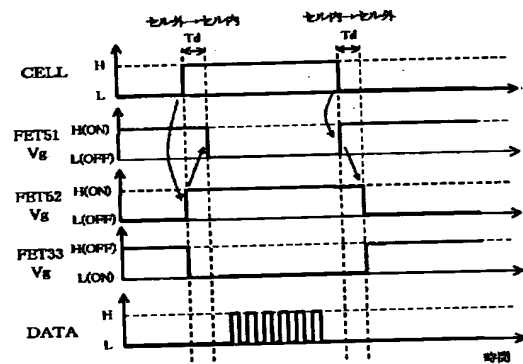
【図18】



【図19】



【図21】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image  
problems checked, please do not report these problems to  
the IFW Image Problem Mailbox.**